

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]

The switching circuit characterized by having the control signal generation circuit which generates ON and the signal which carries out off control to timing which is different in two or more switching elements which are connected to input power and connected to juxtaposition through a load, and said two or more switching elements.

[Claim 2]

Said two or more switching elements are switching circuits according to claim 1 characterized by consisting of insulated-gate bipolar transistors (IGBT).

[Claim 3]

Said two or more switching elements are switching circuits according to claim 1 characterized by ON and carrying out off control by time sharing by said control signal generation circuit output.

[Claim 4]

Said control signal generation circuit is a switching circuit according to claim 1 characterized by providing the signal distribution box which is prepared in the next step of a Pulse-Density-Modulation circuit and this Pulse-Density-Modulation circuit, and divides the output into two or more signals.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to a switching power supply circuit, an inverter circuit, and the switching circuit used further in a motor drive circuit etc.

[0002]

[Description of the Prior Art]

The configuration of the conventional general switching circuit is taken to drawing 1, a forward converter method DC to DC converter circuit is taken for an example, and it explains. It set to drawing 1, and an input DC power supply and 2 are the transformers for electrical-potential-difference conversion, and 1 is equipped with the primary winding n1, the reset winding n2, and the secondary winding n3. 3 is ON and a switching element for carrying out off control, and, generally input power 1 consists of a bipolar transistor, an MOSFET, IGBT (Insulated Gate Bipolar Transistor), etc. Output diode and 7 show the inductor for output voltage smooth, and, in diode for 4 to pass a current to the reset winding of a transformer 2, and 5 and 6, 8 shows the capacitor for output voltage smooth, respectively. This inductor 7 and capacitor 8 constitute a lowpass filter.

[0003]

9 is an PWM (Pulse Density Modulation) control circuit which forms the signal which controls ON of a switching element 3, and OFF, in order to detect output voltage Vout and to set this constant. The output of a sawtooth generator 10 and this oscillator 10 is considered as the 1st input In1, and this PWM control circuit 9 consists of comparators 11 which compare both height considering the output voltage Vout of this DC to DC converter as the 2nd input In2 so that it may illustrate.

[0004]

In a comparator 11, when the electrical potential difference of an input In1 is higher than an input In2, an output serves as "H" and a switching element 3 serves as ON. By ON / off actuation of a switching element 3, the electrical potential difference of the shape of a rectangle which makes ON time amount width of face is applied to the lowpass filter

which consists of a secondary inductor 7 of a transformer 2, and a capacitor 8, and the average of the square wave electrical potential difference serves as direct-current output voltage. In addition, since it is not directly related to this invention, detailed explanation of the circuit of illustration as a DC to DC converter of operation is omitted.

[0005]

When loss of each component etc. is disregarded and an ideal condition is now considered in the circuit of drawing 1, output voltage ( $V_{out}$ ) is expressed with the following formula.

[0006]

$$V_{out} = V_{in} D x N_{n2} / N_{n1} \quad (1)$$

Here,  $D$  is a ratio, ON of a switching element 3 / when off, and it is shown by  $D = T_{on} / (T_{on} + T_{off})$ . ( $T_{on}$  and  $T_{off}$  show ON of a round term of switching, and a "off" period.) In  $N_{n1}$ , the number of turns of the primary winding  $n1$  of a transformer 2 and  $N_{n2}$  show the number of turns of the secondary winding  $n2$  of a transformer 2, and an electrical potential difference  $V_{in}$  shows the electrical potential difference  $V_{dc}$  of a power source 1 again.

[0007]

In this circuit, the average of the current which flows to an inductor 7 serves as the output current. A degree type will be realized, if loss of a component etc. is disregarded and an ideal condition is considered.

[0008]

$$V_{in} I_{in} = V_{out} I_{out}$$

Here,  $I_{in}$  shows the input current average and  $I_{out}$  shows the output current average. If this formula is inputted into (1) type,

[0009]

$$I_{in} = I_{out} D x N_{n2} / N_{n1} \quad (2)$$

It becomes.

[0010]

Moreover, the current which flows at the time of ON of a switching element 3 is equal to the input current average value  $I_{in}$ , this is set to  $I_{qave}$ , and, on the other hand, the ON state current which is not the average value of a switching element 3 is expressed with  $I_q$ .

[0011]

[Problem(s) to be Solved by the Invention]

Although the above-mentioned formula is realized where [ ideal ] the power loss in a switching element 3 is disregarded, a switching element 3 has in fact the voltage drop which is not "0" at the time of the ON. For example, the resistance component shown by  $R_{on}$  at the time of the ON

when a switching element 3 is constituted from FET exists, and when constituted from IGBT, the saturation voltage shown by  $V_{sat}$  at the time of the ON exists.

[0012]

Drawing 2 B shows power consumption [ in / voltage waveform / in the point P of the circuit of drawing 1 when drawing 2 A constitutes a switching element 3 from IGBT / for a current wave form / in drawing 2 C / the component 3 as a result of such an electrical potential difference and a current ] further. Since on resistance or saturation voltage exists by the actual switching element 3 even if it is the ON state so that it may illustrate, the loss power  $P_q$  exists in a component 3.

[0013]

A component 3 will be damaged, if this loss power  $P_q$  is large and exceeds the absolute maximum specification of a switching element 3. Or even if it does not exceed the maximum specification by any means, when service temperature is high, the life of a component 3 becomes remarkably short. Therefore, in order to obtain the switching circuit which is stabilized and has the high dependability which operates, especially the thing for which the absolute value of the loss power  $P_q$  in a switching element is lowered is required.

[0014]

Now, when the switching element 3 consists of MOSFETs, the cure which lowers the loss power per switching element can be considered by connecting two or more components 3 to juxtaposition, turning on each component in coincidence and carrying out an OFF drive. In this case, since the cause of the loss power of a component 3 is a resisted part, the loss power  $P_q$  per component decreases with such a cure.

[0015]

Since a resistance component increases on the contrary because the temperature of a component goes up even if the balance of a current flows for a bad specific component mostly between each component, when there is a forward property to temperature, therefore parallel connection of the switching element is carried out, a current stops being able to flow on the contrary easily, and a resisted part of MOSFET can balance a current between each component as a result. However, contrary to MOSFET, when a switching element 3 is IGBT, since saturation voltage  $V_{sat}$  has the negative property to temperature, if parallel connection of the bad component of balance is carried out, many currents will flow at a specific component and it will cause a thermal run away. Therefore, it was impossible to have carried out parallel connection of such a component.

[0016]

Therefore, it can apply, no matter switching elements may be what components, such as MOSFET and IGBT, and the switching circuit which can moreover reduce the loss power per such a switching element is called for.

[0017]

[Means for Solving the Problem]

In order to solve the above-mentioned technical problem, the switching circuit of this invention is equipped with the control signal generation circuit which generates ON and the signal which carries out off control to timing which is different in two or more switching elements which are connected to input power and connected to juxtaposition through a load, and said two or more switching elements.

[0018]

To the timing from which each switching element differs in this switching circuit, since off control is carried out, even if the balance between each component is bad, many currents do not flow [ ON and ] for a specific component. Even if it is the component for which is followed, for example, the saturation voltage at the time of switching-on has a negative temperature property like IGBT, it becomes possible to reduce the loss power which carries out parallel connection and which is generated in one switching element. Therefore, it is stabilized and the switching circuit where the dependability which operates is high can be obtained.

[0019]

In addition, ON to different timing and off control include time sharing control. Moreover, such a control signal is generable with the signal distribution box which is prepared in the next step of a Pulse-Density-Modulation circuit and this Pulse-Density-Modulation circuit, and divides that output into two or more signals.

[0020]

[Embodiment of the Invention]

Drawing 3 shows the circuitry of 1 operation gestalt of this invention. This circuit also shows the example which applied the switching circuit of this invention to the forward converter method DC to DC converter circuit as well as the conventional example of drawing 1 . Therefore, in drawing 3 , the component which has the same reference mark as drawing 1 is the same, or a similar component is shown, and the duplicate explanation is omitted.

[0021]

As shown in drawing 3 , in this circuit, switching elements 31 and 32

are connected to the terminal P of the primary winding n1 of a transformer 2 at juxtaposition. A bipolar transistor, IGBT, MOSFET, or these can be mixed and used for these switching elements. Or the switching element of other structures may be used and it is not limited to especially the structure.

[0022]

In drawing 3 , 91 is a signal distribution box for dividing the output of the PWM control circuit 9 into two pieces, and consists of examples of illustration in a ring counter (RC) 92 and two AND circuits 93 and 94 (AND1 and AND2).

[0023]

Below, actuation of this circuit is explained with reference to the wave form chart of drawing 4 .

[0024]

Drawing 4 A shows the output wave of the PWM control circuit 9, i.e., the wave of an PWM pulse. A ring counter 92 is a counter at which outputs Rcout1 and Rcout2 repeat H/L by turns by the standup of the inputted PWM pulse. The output wave in the outputs Rcout1 and Rcout2 of a ring counter 92 is shown in drawing 4 B and drawing 4 C.

[0025]

The output of a ring counter 92 is separately inputted into AND circuit 93 and AND circuit 94. The PWM pulse is introduced into the input of another side of these AND circuits 93 and 94. Therefore, as shown in drawing 4 D and E, the pulse signal which has a pulse twice the period of PWM generates the outputs SQ1 and SQ2 of each AND circuits 93 and 94 to different timing.

[0026]

Therefore, by introducing signals SQ1 and SQ2 into the gate of switching elements 31 and 32, to different timing, it turns on and off control of these switching elements 31 and 32 comes to be carried out. Since the repeat period of the signals SQ1 and SQ2 which control components 31 and 32 is twice the repeat period of an PWM pulse so that clearly from drawing 4 D and E, the "on" period of each switching element is shortened and its generating of loss power per switching element of the one part also decreases.

[0027]

Furthermore, it turns on to the timing from which each switching element differs, and since OFF control is carried out, even if these components are connected to juxtaposition to the power source, a current does not concentrate on a specific component. Even if it is the component for which is followed, for example, the saturation voltage at the time of

switching-on has a negative temperature property like IGBT, connecting with juxtaposition is possible.

[0028]

Although the above-mentioned operation gestalt showed the example which connected the switching element to two-piece juxtaposition, of course, the parallel connection of two or more switching elements is possible. When parallel connection of the n switching elements is carried out, time sharing of the output of the PWM control circuit 9 is carried out to n pulses by forming n more AND circuits using what has the output of n pieces as a ring counter 92. Thus, it introduces into the gate of n switching elements, and it turns on and off control of the generated control signal is carried out.

[0029]

Moreover, with the operation gestalt shown in drawing 3 , although the signal distribution box 92 is realized by hardware, of course, software may realize this.

[0030]

[Effect of the Invention]

As an operation gestalt is shown above and explained to it, while carrying out parallel connection of two or more switching elements to a load, to different timing, it is turning on and off control of each switching element is carried out in the switching circuit of this invention. Therefore, the power loss generated in the switching element per piece can be distributed by two or more switching elements, and moreover, like IGBT, even if the component property (it is saturation voltage in IGBT) leading to power loss is the component which has a negative temperature property, this can be used as a switching element. Therefore, the width of face of selection as a switching element can obtain a reliable switching circuit widely by this invention.

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the conventional switching circuit.

[Drawing 2] The wave form chart for explanation of the circuit shown in drawing 1 of operation.

[Drawing 3] Drawing showing the switching circuit of 1 operation gestalt of this invention.

[Drawing 4] The wave form chart for explanation of the circuit shown in drawing 3 of operation.

[Description of Notations]

1 -- Power source

2 -- Transformer

3 -- Switching element

4, 5, 6 -- Diode  
7 -- Inductor  
8 -- Capacitor  
9 -- PWM control circuit  
31 32 -- Switching element  
91 -- Signal distribution box  
92 -- Ring counter  
93 94 -- AND circuit

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing showing the conventional switching circuit.

[Drawing 2] The wave form chart for explanation of the circuit shown in drawing 1 of operation.

[Drawing 3] Drawing showing the switching circuit of 1 operation gestalt of this invention.

[Drawing 4] The wave form chart for explanation of the circuit shown in drawing 3 of operation.

[Description of Notations]

1 -- Power source  
2 -- Transformer  
3 -- Switching element  
4, 5, 6 -- Diode  
7 -- Inductor  
8 -- Capacitor  
9 -- PWM control circuit  
31 32 -- Switching element  
91 -- Signal distribution box



```
92 -- Ring counter
93 94 -- AND circuit
```

[Translation done.]

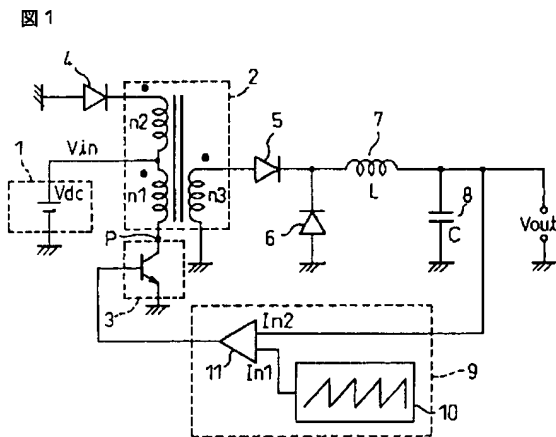
\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

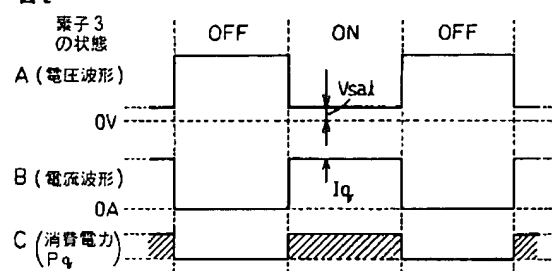
## DRAWINGS

[Drawing 1]



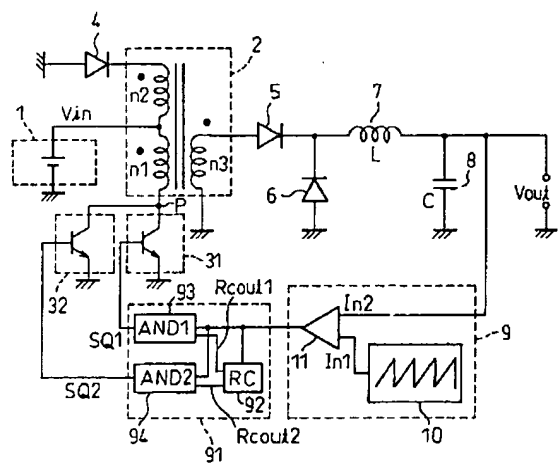
[Drawing 2]

図 2



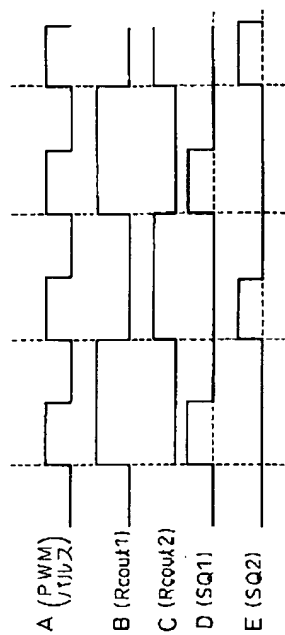
[Drawing 3]

図 3



[Drawing 4]

7



[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-023987

(43)Date of publication of application : 22.01.2004

(51)Int.Cl.

H02M 3/28

(21)Application number : 2002-180280

(71)Applicant : LG ELECTRONICS INC

(22)Date of filing : 20.06.2002

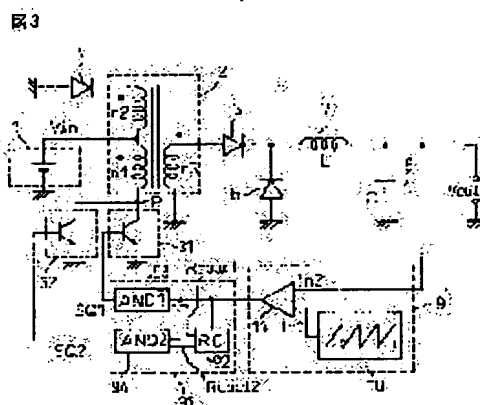
(72)Inventor : YAMAMOTO HIDEO

## (54) SWITCHING CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a highly reliable switching circuit operating stably.

SOLUTION: The switching circuit comprises a plurality of switching elements connected with an input power supply through a load and connected in parallel, and a control circuit generating a signal performing on/off control of the plurality of switching elements at a different timing. Since the signal generated by the control signal generating circuit performs on/off control of the plurality of switching elements at a different timing, power loss per switching element is lowered and a highly reliable switching circuit can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2004-23987  
(P2004-23987A)

(43) 公開日 平成16年1月22日 (2004.1.22)

(51) Int. Cl.<sup>7</sup>  
H 0 2 M 3/28

F I  
H 0 2 M 3/28  
H 0 2 M 3/28

テーマコード (参考)  
5 H 7 3 0  
N  
S

審査請求 未請求 請求項の数 4 O L		(全 7 頁)
(21) 出願番号	特願2002-180280 (P2002-180280)	(71) 出願人 590001669 エルジー電子株式会社 大韓民国, ソウル特別市永登浦区汝矣島洞 20  (74) 代理人 100077517 弁理士 石田 敬 (74) 代理人 100092624 弁理士 鶴田 準一 (74) 代理人 100100871 弁理士 土屋 繁 (74) 代理人 100082898 弁理士 西山 雅也 (74) 代理人 100081330 弁理士 樋口 外治
(22) 出願日	平成14年6月20日 (2002. 6. 20)	

最終頁に続く

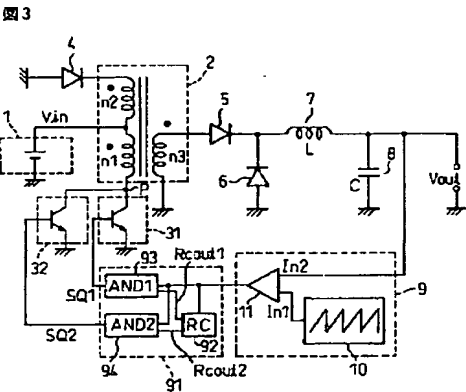
(54) 【発明の名称】 スイッチング回路

(57) 【要約】

【課題】 安定して動作する信頼性の高いスイッチング回路を得る。

【解決手段】 スイッチング回路は、負荷を介して入力電源に接続されかつ互いに並列に接続される複数のスイッチング素子と、前記複数のスイッチング素子を異なるタイミングでオン、オフ制御する信号を生成するための制御信号生成回路を備えている。従って、制御信号生成回路によって生成された信号により、異なるタイミングで複数のスイッチング素子をオン、オフ制御することにより、1個当たりのスイッチング素子の電力損失を低下させて信頼性の高いスイッチング回路を得ることができる。

【選択図】 図 3



## 【特許請求の範囲】

## 【請求項 1】

負荷を介して入力電源に接続されかつ互いに並列に接続される複数のスイッチング素子と、前記複数のスイッチング素子を異なるタイミングでオン、オフ制御する信号を生成する制御信号生成回路、を備えることを特徴とするスイッチング回路。

## 【請求項 2】

前記複数のスイッチング素子は、絶縁ゲートバイポーラトランジスタ（IGBT）で構成されていることを特徴とする、請求項 1 に記載のスイッチング回路。

## 【請求項 3】

前記複数のスイッチング素子は、前記制御信号生成回路出力によって時分割でオン、オフ制御されることを特徴とする、請求項 1 に記載のスイッチング回路。

## 【請求項 4】

前記制御信号生成回路は、パルス幅変調回路と、該パルス幅変調回路の次段に設けられその出力を複数の信号に分割する信号分配器、を具備することを特徴とする、請求項 1 に記載のスイッチング回路。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、スイッチング電源回路、インバータ回路、さらにモータドライブ回路等で使用されるスイッチング回路に関する。

## 【0002】

## 【従来の技術】

図 1 に、従来の一般的なスイッチング回路の構成を、フォーワードコンバータ方式 DC/DC コンバータ回路を例にとって説明する。図 1 において、1 は入力 DC 電源、2 は電圧変換用のトランスであり、一次巻線  $n_1$ 、リセット巻線  $n_2$ 、二次巻線  $n_3$  を備えている。3 は入力電源 1 をオン、オフ制御するためのスイッチング素子で、一般にはバイポーラトランジスタ、MOSFET、IGBT（Insulated Gate Bipolar Transistor）等で構成されている。4 はトランス 2 のリセット巻線に電流を流すためのダイオード、5、6 はそれぞれ出力ダイオード、7 は出力電圧平滑用インダクタ、8 は出力電圧平滑用コンデンサを示す。このインダクタ 7 とコンデンサ 8 は、低周波フィルタを構成する。

## 【0003】

9 は、出力電圧  $V_{out}$  を検出しかつこれを一定とするために、スイッチング素子 3 のオン、オフを制御する信号を形成する PWM（パルス幅変調）コントロール回路である。この PWM コントロール回路 9 は、例えば、図示するように、鋸波発振器 10 およびこの発振器 10 の出力を第 1 の入力  $I_{n1}$  とし、本 DC/DC コンバータの出力電圧  $V_{out}$  を第 2 の入力  $I_{n2}$  として、両者の高低を比較するコンパレータ 11 で構成されている。

## 【0004】

コンパレータ 11 において、入力  $I_{n2}$  よりも入力  $I_{n1}$  の電圧が高い場合、出力は“H”となり、スイッチング素子 3 はオンとなる。スイッチング素子 3 のオン/オフ動作によって、トランス 2 の二次側のインダクタ 7、コンデンサ 8 で構成される低周波フィルタに、オン時間を幅とする矩形状の電圧が加えられ、その矩形波電圧の平均値が直流出力電圧となる。なお、DC/DC コンバータとしての図示の回路の詳細な動作説明は、本発明とは直接関係しないので省略する。

## 【0005】

今、図 1 の回路において、各素子の損失等を見捨て、理想的な状態と考えると、出力電圧（ $V_{out}$ ）は、次の式で表される。

## 【0006】

$$V_{out} = V_{in} \times D \times N_{n2} / N_{n1} \quad (1)$$

ここで、 $D$  はスイッチング素子 3 のオン/オフの時比率であり、 $D = T_{on} / (T_{on} +$

T o f f)で示される。(T o nおよびT o f fはスイッチングの一周期におけるオン、オフ期間を示す。)また、N n 1はトランス2の一次巻線n 1の巻数、N n 2はトランス2の二次巻線n 2の巻数、電圧V i nは電源1の電圧V d cを示す。

【0007】

本回路において、インダクタ7に流れる電流の平均値が出力電流となる。素子の損失等を見出し、理想的な状態と考えると、次式が成り立つ。

【0008】

$$V_{in} \times I_{in} = V_{out} \times I_{out}$$

ここで、I i nは入力電流平均値、I o u tは出力電流平均値を示す。この式を(1)式に入力すると、

【0009】

$$I_{in} = I_{out} \times D \times N_{n2} / N_{n1} \quad (2)$$

となる。

【0010】

また、スイッチング素子3のオン時に流れる電流は、入力電流平均値I i nに等しく、これをI q a v eとし、一方、スイッチング素子3の平均値ではないオン電流をI qで表す。

【0011】

【発明が解決しようとする課題】

上記の式は、スイッチング素子3における電力損失を見出し、理想的な状態で成り立つものであるが、実際にはスイッチング素子3はそのオン時において“0”ではない電圧降下を有する。例えば、スイッチング素子3をF E Tで構成した場合は、そのオン時においてR o nで示される抵抗成分が存在し、I G B Tで構成した場合はそのオン時においてV s a tで示される飽和電圧が存在する。

【0012】

図2 Aは、スイッチング素子3をI G B Tで構成した場合の、図1の回路の点Pにおける電圧波形を、図2 Bは電流波形を、さらに図2 Cはこのような電圧および電流の結果の、素子3における消費電力を示す。図示するように、実際のスイッチング素子3ではそのオン状態であっても、オン抵抗または飽和電圧が存在するので、素子3において損失電力P qが存在する。

【0013】

この損失電力P qが大きく、スイッチング素子3の絶対最大規格を超えると、素子3は破損する。あるいは、絶対最大規格を超えなくても、使用温度が高い場合には素子3の寿命が著しく短くなる。従って、安定して動作する高い信頼性を有するスイッチング回路を得るためには、スイッチング素子における損失電力P qの絶対値を下げることに必要である。

【0014】

今、スイッチング素子3がM O S F E Tで構成されている場合には、素子3を複数個並列に接続し、各素子を同時にオン、オフ駆動することにより、スイッチング素子1個当たりの損失電力を下げる対策が考えられる。この場合、素子3の損失電力の原因が抵抗分であるため、このような対策により、素子1個あたりの損失電力P qが減少する。

【0015】

M O S F E Tの抵抗分は、温度に対して正の特性があり、従ってスイッチング素子を並列接続した場合に各素子間で電流のバランスが悪く特定の素子に多く流れても、素子の温度が上がることで抵抗成分が反対に増加するので、かえって電流が流れ難くなり結果的に各素子間で電流のバランスが取れる。しかしながら、スイッチング素子3がI G B Tの場合、M O S F E Tとは反対に、飽和電圧V s a tは温度に対して負の特性を有しているため、バランスの悪い素子を並列接続すると特定の素子に電流が多く流れ、熱暴走の原因となる。従って、このような素子を並列接続することは不可能であった。

【0016】

10

20

30

40

50

従って、スイッチング素子がMOSFET、IGBT等のような素子であっても適用可能で、しかもこのようなスイッチング素子1個当たりの損失電力を低減することが可能なスイッチング回路が求められている。

【0017】

【課題を解決するための手段】

上記課題を解決するために、本発明のスイッチング回路は、負荷を介して入力電源に接続されかつ互いに並列に接続される複数のスイッチング素子と、前記複数のスイッチング素子を異なるタイミングでオン、オフ制御する信号を生成する制御信号生成回路を備えている。

【0018】

本スイッチング回路では、各スイッチング素子は異なるタイミングでオン、オフ制御されるので、各素子間のバランスが悪くても特定の素子に電流が多く流れるようなことは無い。従って、例えばIGBTのように、スイッチングオン時の飽和電圧が負の温度特性を有するような素子であっても、並列接続して1個のスイッチング素子に発生する損失電力を低減することが可能となる。よって、安定して動作する信頼性の高いスイッチング回路を得ることができる。

【0019】

なお、異なるタイミングでのオン、オフ制御は、時分割制御を含む。また、このような制御信号は、パルス幅変調回路とこのパルス幅変調回路の次段に設けられその出力を複数の信号に分割する信号分配器によって生成することができる。

【0020】

【発明の実施の形態】

図3は、本発明の一実施形態の回路構成を示す。本回路も、図1の従来例と同様に、フォワードコンバータ方式DC/DCコンバータ回路に本発明のスイッチング回路を適用した例を示している。従って、図3において、図1と同じ参照符号を有する構成要素は、同じかまたは類似の構成要素を示し、その重複した説明は省略する。

【0021】

図3に示す様に、本回路では、トランス2の一次巻線n1の端子Pに並列にスイッチング素子31、32が接続されている。これらのスイッチング素子は、バイポーラトランジスタ、IGBTまたはMOSFET、あるいはこれらを混合して使用することができる。あるいは、その他の構造のスイッチング素子を用いても良く、特にその構造には限定されない。

【0022】

図3において、91はPWMコントロール回路9の出力を2個に分割するための信号分配器であり、図示の例では、リングカウンタ(RC)92と2個のアンド回路93、94(AND1およびAND2)で構成されている。

【0023】

以下に、本回路の動作を、図4の波形図を参照して説明する。

【0024】

図4Aは、PWMコントロール回路9の出力波形、即ちPWMパルスの波形を示す。リングカウンタ92は入力されたPWMパルスの立ち上がりによって、出力Rcout1、Rcout2が交互にH/Lを繰り返すカウンタである。図4Bおよび図4Cに、リングカウンタ92の出力Rcout1、Rcout2における出力波形を示す。

【0025】

リングカウンタ92の出力は、別個に、アンド回路93およびアンド回路94に入力される。これらのアンド回路93、94の他方の入力には、PWMパルスが導入されている。従って、各アンド回路93、94の出力SQ1、SQ2は、図4D、Eに示す様に、PWMパルスの2倍の周期を有するパルス信号が、異なるタイミングで発生するものとなる。

【0026】

従って、信号SQ1、SQ2をスイッチング素子31、32のゲートに導入することによ

10

20

30

40

50



り、これらスイッチング素子 3 1、3 2 は、異なるタイミングでオン、オフ制御されるようになる。図 4 D および E から明らかなように、素子 3 1、3 2 を制御する信号 S Q 1、S Q 2 の繰り返し周期は、PWM パルスの繰り返し周期の 2 倍であるため、個々のスイッチング素子のオン期間は短縮され、その分 1 個のスイッチング素子当たりの、損失電力の発生も少なくなる。

【0027】

さらに、個々のスイッチング素子が異なるタイミングでオン、オフ制御されているので、これらの素子が電源に対して並列に接続されていても、特定の素子に電流が集中することはない。従って、例えば、I G B T のように、スイッチングオン時の飽和電圧が負の温度特性を有する素子であっても、並列に接続することが可能である。

10

【0028】

上記実施形態では、スイッチング素子を 2 個並列に接続した例を示したが、勿論 2 個以上のスイッチング素子の並列接続が可能である。n 個のスイッチング素子を並列接続した場合は、リングカウンタ 9 2 として n 個の出力を有するものを用い、さらに n 個の AND 回路を設けることにより、PWM コントロール回路 9 の出力を n 個のパルスに時分割する。このようにして生成された制御信号を n 個のスイッチング素子のゲートに導入し、オン、オフ制御する。

【0029】

また、図 3 に示す実施形態では、信号分配器 9 2 をハードウェアで実現しているが、これは勿論ソフトウェアで実現しても良い。

20

【0030】

【発明の効果】

以上に実施形態を示して説明したように、本発明のスイッチング回路では、複数のスイッチング素子を負荷に対して並列接続すると共に、個々のスイッチング素子を異なるタイミングでオン、オフ制御している。そのため、1 個当たりのスイッチング素子に発生する電力損失を複数のスイッチング素子で分散することができ、しかも、例えば I G B T のように、電力損失の要因となる素子特性（I G B T の場合は飽和電圧）が負の温度特性を有する素子であっても、これをスイッチング素子として使用することが出来る。従って、本発明により、スイッチング素子としての選択の幅が広く、かつ信頼性の高いスイッチング回路を得ることが出来る。

30

【図面の簡単な説明】

【図 1】従来のスイッチング回路を示す図。

【図 2】図 1 に示す回路の動作説明のための波形図。

【図 3】本発明の一実施形態のスイッチング回路を示す図。

【図 4】図 3 に示す回路の動作説明のための波形図。

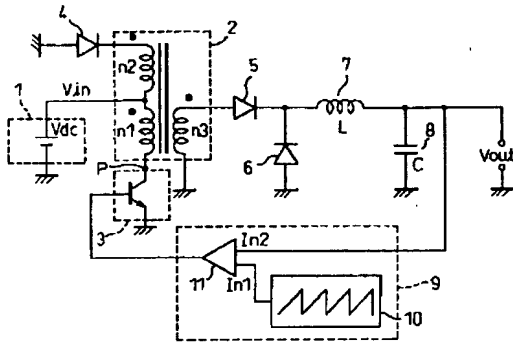
【符号の説明】

- 1 … 電源
- 2 … トランス
- 3 … スwitchング素子
- 4、5、6 … ダイオード
- 7 … インダクタ
- 8 … コンデンサ
- 9 … PWM コントロール回路
- 3 1、3 2 … スwitchング素子
- 9 1 … 信号分配器
- 9 2 … リングカウンタ
- 9 3、9 4 … AND 回路

40

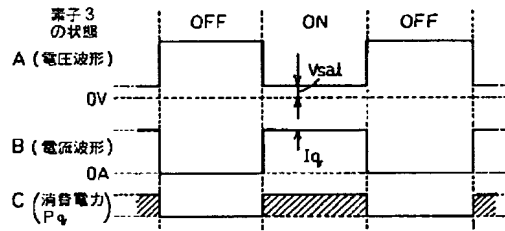
【図 1】

図 1



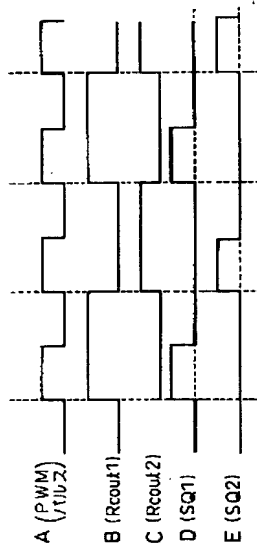
【図 2】

図 2



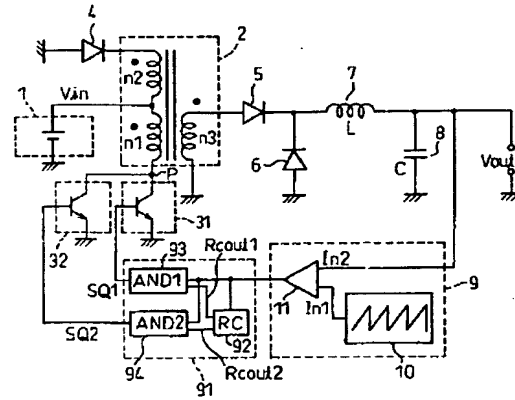
【図 4】

図 4



【図 3】

図 3



-----  
フロントページの続き

(72) 発明者 山本 英雄

東京都台東区台東 2-30-10 台東オリエントビル エルジー電子株式  
会社 東京研究所内

Fターム(参考) 5H730 AA14 BB35 DD03 DD13 DD21 DD34 FD01 FF02 FF07 FG05  
FG23